

Teadustöö eestikeelne referaat

(Simuleerimisel põhinev riistvara verifitseerimine kõrgtaseme otsustusdiagrammidel)

Tänu tehnoloogia kiirele arengule oleme täna ümbritsetud keeruliste elektroonika-seadmetega ja sardsüsteemidega, millised on saanud meie igapäevaelu tavaliseks osaks. Me usaldame neid ja peame nende korrektset veatut käitumist enesestmõistetavaks. Samal ajal sõltume neist rohkem ja rohkem. Selliste seadmete väiksemat sorti rikked võivad tüüdata meid, samal ajal võivad rikked kriitilistes süsteemides põhjustada katastroofe ning isegi maksta inimeselusid.

Digitaalsüsteemide kiire areng nõuab endisest suuremaid jõupingutusi nende korrektse funktsionaalsuse kontrollimiseks. On selge, et niisugune kontroll kasutades kõiki sisendväärtuste kombinatsioone vajab äärmiselt palju aega. Näiteks, võtame väikse digitaalriistvara skeemi millel on 10 sisendit ja 100 triggerit (s.t. natuke rohkem kui kolm 32-bitilist registri). Halvimal juhul vajab ta $(2^{10})^{100}$ testimisvektori katsetamist. Mis omakorda tähendab tavalistes tingimustes 300-kohalist aastat arvuti tööaega! Seega on olemas suur vajadus efektiivsete meetodite järele, millised saaksid nimetatud keerukust ületada.

Antud töös vaatleme digitaalriistvara skeemide kontrolli, kus nende kirjeldamist võrreldakse planeeritud funktsionaalsusega. Antud kontrolli nimetatakse funktsionaalseks verifitseerimiseks. Funktsionaalne verifitseerimine on väga tähtis faas riistvara-süsteemi arendamise protsessis. Tööstuse andmetel kulub sellele umbes 70% projekteerimise ajast ning seega kallitest inimeste ja masinate töötundidest. Tihti on tegu kõige kallima süsteemi arendamise etapiga.

Antud töö on suunatud simuleerimisel-põhineva digitaalriistvara verifitseerimise kiiruse ja täpsuse tõstmisele. Töös on pakutud lähenemised väidete kontrolli ja verifitseerimise katte mõõtmise jaoks, mis rakendavad kõrgtaseme otsustusdiagrammide (KTOD) eeliseid skeemide esitamisel.

Esiteks on esitatud uudne meetod väidete kontrolliks, mis põhineb KTOD mudelil. Esitatud lähenemine pakub välja temporaalse laienduse olemasolevale KTOD mudelile, mis on mõeldud Property Specification Language (PSL) keeles esitatud omaduste toetamiseks. Lisaks on töös esitatud metodoloogia PSL omaduste vahetuks konverteerimiseks KTOD mudelisse ja KTOD simulaatori edasiarendus väidete kontrolli toetamiseks.

Teiseks on dissertatsioonis välja töötatud meetod verifitseerimise struktuurse katte KTOD mudelil põhinevaks analüüsiks. Meetodi peamiseks panuseks on traditsiooniliste kattemõõtude, nagu lausete, harude ja andmevoo katete sidumine

KTOD struktuuriga. Lisatulemuseks on lähenemine tingimuste katte analüüsiks. Viimane kasutab hierarhilist otsustusdiagrammide mudelit, mis koosneb KTOD-dest ja tingimuslike lausete binaarsetel otsustusdiagrammidel põhinevast esitusest. Samuti sisaldab pakutud meetod KTOD mudeli teisendusi, mis on suunatud verifitseerimise katte analüüsi erinevatele tasemetele.

Pakutud lähenemiste peamised eelised seisnevad järgnevas. Meetodid toetuvad homogeensele KTOD-l põhinevale riistvara verifitseerimise voole. Verifitseerimisel olevale skeemile ükskord loodud KTOD mudelit kasutatakse erinevate analüüsiviiside puhul. KTOD-l põhinev analüüs on kiirem võrreldes traditsiooniliste riistvara kirjeldamise kehtel põhinevate mudelitega kahel põhjustel. Esiteks kiire KTOD-l põhineva simuleerimise pärast, ja teiseks väga väikeste lisakulude pärast nii katte mõõtmise kui ka väidete kontrolli puhul. Temporaalselt laiendatud KTOD mudel on võimeline esitama keerulisi temporaalseid omadusi ja toetab laia PSL keele alamrühma. KTOD-d võivad olla genereeritud ja käsitletud vastavalt sihtülesandele, näiteks konkreetse katte mõõdu analüüsi jaoks. Uurimistöö on näidanud, et KTOD on efektiivne mudel simuleerimise läbiviimiseks ning sobilik digitaalsüsteemide diagnostikat ja silumist silmas pidades. Dissertatsioonis teostatud katsed tõestavad pakutud lähenemiste rakendatavust ja efektiivsust.

Antud doktoritöö idee tekkis autoril Tallinna Tehnikaülikooli esindajana Euroopa Liidu raamprogrammi projektis VERTIGO (2006-2008) osalemise käigus. Töö lõppkuju kinnistus tänu autori osalemisele rahvusvahelise konverentsi DATE '08 (Münchenis) doktorantide foorumil. Seal sai ta mitte ainult väärtuslikku kriitikat ja nõuandeid, vaid ka kontakti IBM-i esindajaga, kes oli huvitatud antud doktoritöö retsenseerimisest. Töös pakutud meetodite edu ergutas algatama praeguseni jätkuvat koostööd TTÜ ja IBM-i vahel. Pakutud meetodid olid realiseeritud TTÜ verifitseerimiskeskonna APRICOT-i osana. Doktoritöös kirjeldatud uurimistöö näitas samuti KTOD mudeli potentsiaali digitaalriistvara silumise jaoks. Seda teemat on plaanis uurida uues EL rahvusvahelises uurimisprojektis DIAMOND (2010-2012), mille algatajaks ja koordineerijaks on TTÜ.

Lugupidamisega,
Maksim Jenihhin
Hargi 2-28, Tallinn 13516, Eesti
+372 529 8833
maksim@pld.ttu.ee